

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Inventors: Osamu ICHIKAWA

Application No.: New Patent Application

Filed: March 19, 2004

For: SEMICONDUCTOR INTEGRATED CIRCUIT AND TEST METHOD
THEREOF

CLAIM FOR PRIORITY

Honorable Commissioner of
Patents and Trademarks
Washington, D.C. 20231

Sir:

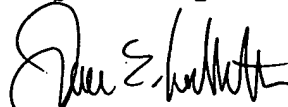
The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified application and the priority provided in 35 USC 119 is hereby claimed:

Japanese Appln. No. 2003-105990, filed April 10, 2003.

In support of this claim, a certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 USC 119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,



James E. Ledbetter
Registration No. 28,732

Date: March 19, 2004

JEL/apg
Attorney Docket No. L8462.04111
STEVENS, DAVIS, MILLER & MOSHER, L.L.P.
1615 L Street, NW, Suite 850
P.O. Box 34387
Washington, DC 20043-4387
Telephone: (202) 785-0100
Facsimile: (202) 408-5200

日本国特許庁
JAPAN PATENT OFFICE

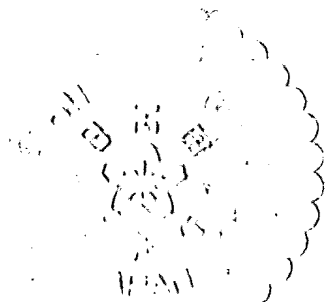
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 4月10日
Date of Application:

出願番号 特願2003-105990
Application Number:
[ST. 10/C]: [JP 2003-105990]

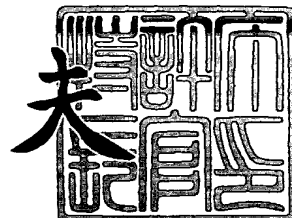
出願人 松下電器産業株式会社
Applicant(s):



2003年 9月24日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3078209

【書類名】 特許願

【整理番号】 5037540156

【あて先】 特許庁長官殿

【国際特許分類】 G06F 11/22

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地
 松下電器産業株式会社内

 【氏名】 市川 修

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100076174

 【弁理士】

 【氏名又は名称】 宮井 暎夫

【選任した代理人】

 【識別番号】 100105979

 【弁理士】

 【氏名又は名称】 伊藤 誠

【手数料の表示】

 【予納台帳番号】 010814

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 0212624

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路およびその検査方法

【特許請求の範囲】

【請求項 1】 カラム方向に一組の救済用の冗長ラインを持つメモリと、
前記メモリに対して特定のテストパターンを発生するテストパターン発生部と、
前記メモリからの出力を読み出して前記メモリに不良セルが存在するか否かを判定する比較部と、
前記メモリの検査時には、前記テストパターン発生部からメモリへ入力されるカラムアドレス信号の全て或いは一部を分岐した信号、および前記比較部から生成されるビット毎の良否判定信号を不良アドレスデータとして取り込み、前記メモリ周辺の論理の検査時には、スキャンチェーンの一部を形成し、前記メモリへの入力信号を観測するために用いられる第 1 のデータ記憶部と、
前記比較部の出力信号を入力して故障の有無の状態を示す第 2 のデータ記憶部と、
前記第 1 のデータ記憶部への入力と前記第 1 のデータ記憶部からの出力とを入力とし、前記メモリが救済可能かどうかを判定する救済可否判定部とを備え、
前記第 2 のデータ記憶部の値に応じて、前記第 1 のデータ記憶部に保持されたデータをホールドすることを特徴とする半導体集積回路。

【請求項 2】 カラム方向に一組の救済用の冗長ラインを持つメモリと、
前記メモリに対して特定のテストパターンを発生するテストパターン発生部と、
前記メモリからの出力を読み出して前記メモリに不良セルが存在するか否かを判定する比較部と、
前記メモリの検査時には、前記テストパターン発生部からメモリへ入力されるカラムアドレス信号の全て或いは一部を分岐した信号、および前記比較部から生成されるビット毎の良否判定信号を不良アドレスデータとして取り込み、前記メモリ周辺の論理の検査時には、スキャンチェーンの一部を形成し、前記メモリへの入力信号を観測するために用いられる第 1 のデータ記憶部と、

前記第 1 のデータ記憶部への入力と前記第 1 のデータ記憶部からの出力とを入力とし、前記メモリが救済可能かどうかを判定する救済可否判定部とを備え、

前記比較部から出力される信号であって、メモリに不良セルが存在した場合にアクティブになりテスト終了までアクティブの状態を保つフェイル信号の値に応じて、前記第 1 のデータ記憶部に保持されたデータをホールドすることを特徴とする半導体集積回路。

【請求項 3】 前記第 1 のデータ記憶部が、前記テストパターン発生部から前記メモリへ入力されるデータ入力信号と前記ビット毎の良否判定信号とを選択的に取り込むことができるセレクタを有する請求項 1 または請求項 2 記載の半導体集積回路。

【請求項 4】 前記救済可否判定部が、前記比較部から生成されるビット毎の良否判定信号として、複数ビットの不良の判定を受け取ったときに、前記メモリを救済不能と判定する請求項 1 または請求項 2 記載の半導体集積回路。

【請求項 5】 ロウ方向に一組の救済用の冗長ラインを持つメモリと、
前記メモリに対して特定のテストパターンを発生するテストパターン発生部と、
前記メモリからの出力を読み出して前記メモリに不良セルが存在するか否かを判定する比較部と、

前記メモリの検査時には、前記テストパターン発生部から前記メモリへ入力されるロウアドレス信号の全て或いは一部のビットを分岐した信号を不良アドレスデータとして取り込み、前記メモリ周辺の論理の検査時には、スキャンチェーンの一部として、前記メモリへの入力信号を観測するために用いられる第 1 のデータ記憶部と、

前記比較部の出力信号を入力して故障の有無の状態を示す第 2 のデータ記憶部と、

前記第 1 のデータ記憶部への入力と前記第 1 のデータ記憶部からの出力とを入力とし、前記メモリが救済可能かどうかを判定する救済可否判定部とを備え、

前記第 2 のデータ記憶部の値に応じて、前記第 1 のデータ記憶部に保持されたデータをホールドすることを特徴とする半導体集積回路。

【請求項 6】 ロウ方向に一組の救済用の冗長ラインを持つメモリと、
前記メモリに対して特定のテストパターンを発生するテストパターン発生部と、
前記メモリからの出力を読み出して前記メモリに不良セルが存在するか否かを判定する比較部と、
前記メモリの検査時には、前記テストパターン発生部から前記メモリへ入力されるロウアドレス信号の全て或いは一部のビットを分岐した信号を不良アドレスデータとして取り込み、前記メモリ周辺の論理の検査時には、スキャンチェーンの一部として、前記メモリへの入力信号を観測するために用いられる第 1 のデータ記憶部と、
前記第 1 のデータ記憶部への入力と前記第 1 のデータ記憶部からの出力とを入力とし、前記メモリが救済可能かどうかを判定する救済可否判定部とを備え、
前記比較部から出力される信号であって、前記メモリに不良セルが存在した場合にアクティブになりテスト終了までアクティブの状態を保つフェイル信号の値に応じて、前記第 1 のデータ記憶部に保持されたデータをホールドすることを特徴とする半導体集積回路。

【請求項 7】 カラム方向およびロウ方向の救済を行う冗長ラインを持つメモリと、
前記メモリに対して特定のテストパターンを発生するテストパターン発生部と、
前記メモリからの出力を読み出して前記メモリに不良セルが存在するか否かを判定する比較部と、
前記メモリの検査時には、前記テストパターン発生部から前記メモリへ入力されるアドレス信号を分岐した信号および前記比較部からの出力信号を不良アドレスデータとして取り込み、前記メモリ周辺の論理の検査時には、スキャンチェーンの一部として、前記メモリへの入力信号を観測するために用いられる第 1 のデータ記憶部と、
前記比較部の出力信号を入力して故障の有無の状態を示す第 2 のデータ記憶部と、

前記第1のデータ記憶部への入力と前記第1のデータ記憶部からの出力とを入力として前記メモリが救済可能かどうかを判定する救済可否判定部とを備え、

前記第2のデータ記憶部の値に応じて、前記第1のデータ記憶部に保持されたデータをホールドすることを特徴とする半導体集積回路。

【請求項8】 前記比較部から出力される信号であって、前記メモリに不良セルが存在した場合にのみアクティブになるモニタ信号および前記フェイル信号がアクティブな場合に、前記救済可否判定部で、前記第1のデータ記憶部の入力と前記第1のデータ記憶部の出力とを比較して前記メモリが救済可能かどうかを判定する請求項1、請求項2、請求項3、請求項4、請求項5、請求項6または請求項7記載の半導体集積回路。

【請求項9】 請求項1、請求項2、請求項3、請求項4、請求項5、請求項6、請求項7または請求項8記載の半導体集積回路の検査方法であって、第1のデータ記憶部は、メモリを検査する時には、メモリの不良情報を保持するために使用し、メモリ周辺部のロジックを検査する時には、メモリへの入力信号を観測するために使用することを特徴とする半導体集積回路の検査方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、組込み自己テスト（BIST）によるメモリのテスト、特に冗長セルを持つメモリのテストおよびメモリ周辺論理のテストが可能な半導体集積回路およびその検査方法に関するものである。

【0002】

【従来の技術】

近年、半導体集積回路（LSI）に搭載されるメモリの数や規模（ビット幅・ワード数）は増大を続けている。これに応じて、外部よりテストを用いてLSIに搭載されたメモリを検査するために必要となる外部ピンの数やテスト時間が増加する。

【0003】

これに対して、LSI内部でメモリの検査を実行するBIST（Built

In Self Test) 技術の重要性が高まっている。BIST 技術を用いることにより、少ない外部ピンを用いてメモリの検査を実施できるとともに、使用するピンの数が少ないため LSI 内部の複数のメモリを同時に検査することが可能となる。

【0004】

また、予め冗長回路（救済用セルを含んだ救済用ワード線、救済用ビット線）を設けておき、欠陥によって不良になったメモリセルが存在しているビット線またはワード線を、救済用ワード線、救済用ビット線で置き換えて不良セルを救済する冗長救済方式が用いられる場合がある。これによりメモリの歩留りを向上することができる。

【0005】

図 12 に、従来の BIST を用いたメモリの救済およびメモリ周辺論理のテスト回路の一例を示す。

【0006】

テストパターン発生部 1201 は、メモリ 1204 に対してテストパターンを生成し、メモリ 1204 の出力データが、比較部 1202 で期待値と一致するかどうかを比較し、出力データが期待値と一致したかどうかを判定し、FAIL 端子にその結果を出力する。

【0007】

比較部 1202 で検出された不良セルのアドレス、ビット位置の情報は、救済処理部 1203 に保持される。格納された不良セルの情報は、救済を行うべき救済ワード線、ビット線を特定するために用いられる。

【0008】

また、メモリ 1204 への入力を分岐した信号を観測用 FF 1205 で取り込み、制御用 FF 1206 を用いて、セレクト 1207 を介してメモリ 1204 の出力を制御することで、BIST 回路自身およびメモリ 1204 周辺の論理のスキャンテストを実施している。

【0009】

このように、従来のBISTを用いてメモリの救済処理を行う回路では、救済を行うべきアドレスを算出するために、BISTでテストを実施している時にFailを検出した不良アドレス、不良ビットの情報を格納する記憶素子を救済処理部に持ち、BIST回路自身およびメモリ周辺のスキャンテストを行うためには、メモリへの入力信号を観測するためのフリップフロップを備えている。

【0010】

【発明が解決しようとする課題】

上記のように、メモリの救済処理をBISTで実現するためには、メモリの不良アドレス情報を格納するための記憶素子が必要であり、また、BIST回路自身およびメモリ周辺論理をスキャンテストするためには、メモリへの入力信号を観測するために観測用のFFおよびメモリの出力を制御するための制御用のFFが必要となる。

【0011】

そのため、BISTでのメモリの救済処理とスキャンテストを実現するためには、救済処理用の記憶素子とスキャンテスト用のFFが必要となり、回路面積が増大するという問題があった。

【0012】

本発明は以上の問題点を解決するためになされたものであり、その目的は、冗長救済回路面積およびスキャンテスト用回路の面積の増加を抑えることができる半導体集積回路およびその検査方法を提供することである。

【0013】

【課題を解決するための手段】

請求項1記載の半導体集積回路は、カラム方向に一組の救済用の冗長ラインを持つメモリと、

メモリに対して特定のテストパターンを発生するテストパターン発生部と、

メモリからの出力を読み出してメモリに不良セルが存在するか否かを判定する比較部と、

メモリの検査時には、テストパターン発生部からメモリへ入力されるカラムアドレス信号の全て或いは一部を分岐した信号、および比較部から生成されるビッ

ト毎の良否判定信号を不良アドレスデータとして取り込み、メモリ周辺の論理の検査時には、スキャンチェーンの一部を形成し、メモリへの入力信号を観測するために用いられる第1のデータ記憶部と、

比較部の出力信号を入力して故障の有無の状態を示す第2のデータ記憶部と、

第1のデータ記憶部への入力と第1のデータ記憶部からの出力とを入力とし、メモリが救済可能かどうかを判定する救済可否判定部とを備え、

第2のデータ記憶部の値に応じて、第1のデータ記憶部に保持されたデータをホールドすることを特徴とするものである。

【0014】

請求項1記載の半導体集積回路によれば、BISTを用いたメモリの冗長救済回路において、BISTからメモリへ入力される信号を分岐させた信号を取り込むデータ記憶部を準備して、メモリの検査時には、データ記憶部を不良アドレスを格納するための記憶素子（フリップフロップ）として用い、BIST回路自身およびメモリ周辺部論理の検査時にはデータ記憶部のフリップフロップをスキャンチェーンの一部として使用することで、論理部のスキャンテストおよびメモリの検査に必要となる回路面積の増加を抑えることが可能となる。

【0015】

請求項2記載の半導体集積回路は、カラム方向に一組の救済用の冗長ラインを持つメモリと、

メモリに対して特定のテストパターンを発生するテストパターン発生部と、

メモリからの出力を読み出してメモリに不良セルが存在するか否かを判定する比較部と、

メモリの検査時には、テストパターン発生部からメモリへ入力されるカラムアドレス信号の全て或いは一部を分岐した信号、および比較部から生成されるビット毎の良否判定信号を不良アドレスデータとして取り込み、メモリ周辺の論理の検査時には、スキャンチェーンの一部を形成し、メモリへの入力信号を観測するために用いられる第1のデータ記憶部と、

第1のデータ記憶部への入力と第1のデータ記憶部からの出力とを入力とし、メモリが救済可能かどうかを判定する救済可否判定部とを備え、

比較部から出力される信号であって、メモリに不良セルが存在した場合にアクティブになりテスト終了までアクティブの状態を保つフェイル信号の値に応じて、第1のデータ記憶部に保持されたデータをホールドすることを特徴とするものである。

【0016】

請求項2記載の半導体集積回路によれば、請求項1と同様な効果がある。

【0017】

請求項3記載の半導体集積回路は、請求項1または請求項2において、第1のデータ記憶部が、テストパターン発生部からメモリへ入力されるデータ入力信号とビット毎の良否判定信号とを選択的に取り込むことができるセレクトを有するものである。

【0018】

請求項3記載の半導体集積回路によれば、請求項1または請求項2と同様な効果がある。

【0019】

請求項4記載の半導体集積回路は、請求項1または請求項2において、救済可否判定部が、比較部から生成されるビット毎の良否判定信号として、複数ビットの不良の判定を受け取ったときに、メモリを救済不能と判定するものである。

【0020】

請求項4記載の半導体集積回路によれば、請求項1または請求項2と同様な効果がある。

【0021】

請求項5記載の半導体集積回路は、ロウ方向に一組の救済用の冗長ラインを持つメモリと、

メモリに対して特定のテストパターンを発生するテストパターン発生部と、
メモリからの出力を読み出してメモリに不良セルが存在するか否かを
判定する比較部と、

メモリの検査時には、テストパターン発生部からメモリへ入力されるロウアドレス信号の全て或いは一部のビットを分岐した信号を不良アドレスデータとして

取り込み、メモリ周辺の論理の検査時には、スキャンチェーンの一部として、メモリへの入力信号を観測するために用いられる第1のデータ記憶部と、

比較部の出力信号を入力して故障の有無の状態を示す第2のデータ記憶部と、

第1のデータ記憶部への入力と第1のデータ記憶部からの出力とを入力とし、メモリが救済可能かどうかを判定する救済可否判定部とを備え、

第2のデータ記憶部の値に応じて、第1のデータ記憶部に保持されたデータをホールドすることを特徴とするものである。

【0022】

請求項5記載の半導体集積回路によれば、請求項1と同様な効果がある。

【0023】

請求項6記載の半導体集積回路は、ロウ方向に一組の救済用の冗長ラインを持つメモリと、

メモリに対して特定のテストパターンを発生するテストパターン発生部と、

メモリからの出力を読み出してメモリに不良セルが存在するか否かを判定する比較部と、

メモリの検査時には、テストパターン発生部からメモリへ入力されるロウアドレス信号の全て或いは一部のビットを分岐した信号を不良アドレスデータとして取り込み、メモリ周辺の論理の検査時には、スキャンチェーンの一部として、メモリへの入力信号を観測するために用いられる第1のデータ記憶部と、

第1のデータ記憶部への入力と第1のデータ記憶部からの出力とを入力とし、メモリが救済可能かどうかを判定する救済可否判定部とを備え、

比較部から出力される信号であって、メモリに不良セルが存在した場合にアクティブになりテスト終了までアクティブの状態を保つフェイル信号の値に応じて、第1のデータ記憶部に保持されたデータをホールドすることを特徴とするものである。

【0024】

請求項6記載の半導体集積回路によれば、請求項1と同様な効果がある。

【0025】

請求項7記載の半導体集積回路は、カラム方向およびロウ方向の救済を行う冗

長ラインを持つメモリと、

メモリに対して特定のテストパターンを発生するテストパターン発生部と、
メモリからの出力を読み出してメモリに不良セルが存在するか否かを判定する比較部と、

メモリの検査時には、テストパターン発生部からメモリへ入力されるアドレス信号を分岐した信号および比較部からの出力信号を不良アドレスデータとして取り込み、メモリ周辺の論理の検査時には、スキャンチェーンの一部として、メモリへの入力信号を観測するために用いられる第1のデータ記憶部と、

比較部の出力信号を入力して故障の有無の状態を示す第2のデータ記憶部と、
第1のデータ記憶部への入力と第1のデータ記憶部からの出力とを入力としてメモリが救済可能かどうかを判定する救済可否判定部とを備え、

第2のデータ記憶部の値に応じて、第1のデータ記憶部に保持されたデータをホールドすることを特徴とするものである。

【0026】

請求項7記載の半導体集積回路によれば、請求項1と同様な効果がある。

【0027】

請求項8記載の半導体集積回路は、請求項1、請求項2、請求項3、請求項4、請求項5、請求項6または請求項7において、比較部から出力される信号であって、メモリに不良セルが存在した場合にのみアクティブになるモニタ信号およびフェイル信号がアクティブな場合に、救済可否判定部で、第1のデータ記憶部の入力と第1のデータ記憶部の出力とを比較してメモリが救済可能かどうかを判定するものである。

【0028】

請求項8記載の半導体集積回路によれば、請求項1、請求項2、請求項3、請求項4、請求項5、請求項6または請求項7と同様な効果がある。

【0029】

請求項9記載の半導体集積回路の検査方法は、請求項1、請求項2、請求項3、請求項4、請求項5、請求項6、請求項7または請求項8記載の半導体集積回路の検査方法であって、第1のデータ記憶部は、メモリを検査する時には、メモ

りの不良情報を保持するために使用し、メモリ周辺部のロジックを検査する時には、メモリへの入力信号を観測するために使用することを特徴とするものである。

【0030】

請求項9記載の半導体集積回路の検査方法によれば、請求項1と同様な効果がある。

【0031】

【発明の実施の形態】

(第1の実施形態)

図1は本発明の第1の実施形態による半導体集積回路を説明するためのブロック図である。

【0032】

メモリ104はテスト対象のメモリであり、Column（カラム）方向に一組の救済用の冗長ラインを持ち、実施の形態ではその内部に救済処理によって置換される単一の救済用Columnラインを含む。

【0033】

101はテストパターン発生部であり、ロウアドレス信号ROW-ADD、カラムアドレス信号COL-ADD、コントロール信号CTRL、データ入力信号DINを発生し、メモリ104に入力する。

【0034】

102は比較部であり、メモリ104に入力されたテストパターンに対するメモリ104の出力応答DOUTと正常時に期待される値（期待値）とを比較し、信号を正常に記憶していない不良セルを検出する。比較部102からは、一度不良セルを検出するとアクティブになり、テストが終了するまでアクティブの状態を維持するFAIL（フェイル）信号と、故障を検出した時だけアクティブになり故障を検出していない時にはアクティブにならないMONITOR（モニタ）信号と、メモリ104の出力データDOUTの各ビット毎に期待値と比較を行い、故障が存在したビットだけがアクティブになるFailPerBit（ビットフェイル）信号が生成される。

【0035】

106は第2のデータ記憶部であり、比較部102のFAIL信号を入力してテストを実施している間のメモリ104内の故障の有無の状態値(テスト開始から最初の故障を検出するまでの状態を示す値と、最初の故障を検出した後の状態を示す値)を保持する。

【0036】

メモリ104はカラム方向で救済を実施するため、不良があったカラムラインを特定するために、不良があったセルのカラムアドレスおよびそのビット位置の情報が必要となる。105は第1のデータ記憶部であり、メモリ104の検査時には、テストパターン発生部101からメモリ104へ入力されるカラムアドレス信号の全てあるいは一部を分岐した信号、および比較部102から生成されるビット毎の良否判定信号を不良アドレスデータとして取込む。すなわち、メモリ104の救済処理を行う場合には、不良のあったセルのカラムアドレスおよびそのビット位置情報を記憶し、最初に故障を検出した不良セルのセルのカラムアドレスおよびそのビット位置情報を記憶し、その後は第1のデータ記憶部105内でその値を保持する。データを保持するために、第2のデータ記憶部106に保持された値を用いる。第2のデータ記憶部106で最初の故障を検出した後の状態を示す値の場合には、第1のデータ記憶部105に記憶された値を保持し続ける。

【0037】

また、第1のデータ記憶部105は、メモリ104の周辺論理のスキャンテストを行う場合には、スキャンチェーンの一部を構成し、メモリ104まで伝播されてくる故障を観測するために用いることで、メモリ104周辺論理の故障検出を向上することができる。

【0038】

103は、テストパターン発生部101で生成されるデータ入力信号DINと比較部102で生成されるFailPerBit信号を選択するセレクタであり、メモリ104の救済処理時にはFailPerBit信号を選択することで、第1のデータ記憶部105に不良のあったセルのビット位置情報入力し、メモリ周辺論理のスキャンテスト時には、メモリ104へのデータ入力信号DINあるいはFailPerBit信号のいず

れかを選択し、メモリ 104 まで伝播される故障を第 1 のデータ記憶部 105 で観測する。

【0039】

107 は救済可否判定部であり、FAIL 信号と MONITOR 信号がともにアクティブな場合に、第 1 のデータ記憶部 105 に入力される信号と、第 1 のデータ記憶部 105 で保持している値とを比較し、それらが同一の場合にはメモリ 104 は救済用 Column ラインによって救済可能と判断し、異なる場合には救済不能と判断する。また、救済可否判定部 107 に入力される FailPerBit のうちの複数ビットがアクティブな場合にも救済不能と判断する。

【0040】

図 2 は、図 1 に示された半導体集積回路におけるメモリ救済処理動作を示すフローチャートである。

【0041】

以下、メモリ救済処理の実現について図 1、図 2 および図 3 を参照しつつ説明する。

【0042】

図 3 において、R1, R0 は、メモリ 104 の 2 ビットのロウアドレスであり、(R1, R0) でロウアドレスを示す。R1 が msb であり、R0 が lsb である。C1, C0 は、メモリ 104 の 2 ビットのカラムアドレスであり、(C1, C0) でカラムアドレスを示す。C1 が msb であり、C0 が lsb である。

W0 はロウアドレス (R1, R0) = (0, 0) に対するワードラインであり、

W1 はロウアドレス (R1, R0) = (0, 1) に対するワードラインであり、

W2 はロウアドレス (R1, R0) = (1, 0) に対するワードラインであり、

W3 はロウアドレス (R1, R0) = (1, 1) に対するワードラインであり、

B00 はカラムアドレス (C1, C0) = (0, 0) の 0 ビット目に対するビットラインであり、

B01 はカラムアドレス (C1, C0) = (0, 1) の 0 ビット目に対するビットラインであり、

B02 はカラムアドレス (C1, C0) = (1, 0) の 0 ビット目に対するビットラインであり、

B03 はカラムアドレス (C1, C0) = (1, 1) の 0 ビット目に対するビットラインであり、

B10 はカラムアドレス (C1, C0) = (0, 0) の 1 ビット目に対するビットラインであり、

B11はカラムアドレス $(C1, C0) = (0, 1)$ の1ビット目に対するビットラインであり、
B12はカラムアドレス $(C1, C0) = (1, 0)$ の1ビット目に対するビットラインであり、
B13はカラムアドレス $(C1, C0) = (1, 1)$ の1ビット目に対するビットラインであり、
ビットラインとワードラインの交点にメモリセルが配置されている。

【0043】

同図中の“×”は、不良のあったメモリセルを表し、

ロウアドレス $(R1, R0) = 00$ 、カラムアドレス $(C1, C0) = 00$ で示されるアドレスの0ビット目、

ロウアドレス $(R1, R0) = 01$ 、カラムアドレス $(C1, C0) = 00$ で示されるアドレスの0ビット目、

ロウアドレス $(R1, R0) = 01$ 、カラムアドレス $(C1, C0) = 01$ で示されるアドレスの1ビット目、

の3個の不良セルが存在し、W1上の2個のメモリが不良であり、B00上の2個のメモリが不良であることを示している。

【0044】

ステップST201でテストを開始する。テスト時のアドレスのカウント方向は、カラムアドレスから先にカウントする場合について説明する。

【0045】

最初に検出される故障は、ロウアドレス $(R1, R0) = 00$ 、カラムアドレス $(C1, C0) = 00$ で示されるアドレスの0ビット目であり、

2回目に検出される故障は、ロウアドレス $(R1, R0) = 01$ 、カラムアドレス $(C1, C0) = 00$ で示されるアドレスの0ビット目であり、

3回目(最後)に検出される故障は、ロウアドレス $(R1, R0) = 01$ 、カラムアドレス $(C1, C0) = 01$ で示されるアドレスの1ビット目である。

【0046】

ステップST202でテストパターン発生部101からメモリ104へテストパターンを入力し、メモリ104からの出力を比較部102で期待値と比較する。

【0047】

ステップST203で、ロウアドレス $(R1, R0) = 00$ 、カラムアドレス $(C1, C0) = 00$ で故

障を検出する。故障を検出したのでステップST204に移る。ステップST204では複数ビットの故障があるかどうかを判断する。該当アドレスでは0ビット目だけに故障が存在するため、ステップST205に移る。該当故障は最初の故障であるため、ステップST206に移る。

【 0 0 4 8 】

ここで初めて第2のデータ記憶部106に故障があったということを示す値が保持されるとともに、第1のデータ記憶部105には、カラムアドレスとして、(C1,C0)=00の値と、FailPerBitとして0ビット目だけが故障が存在したことを表す値が不良アドレスとして保持される。次にステップST207に移るがまだ検査が終了していないので、ステップST202に戻る。

【 0 0 4 9 】

次にステップST203で検出される故障のアドレスは、ロウアドレス(R1,R0)=01, カラムアドレス(C1,C0)=00 であるが、このアドレスに対する故障もまた、0ビット目のみであり複数ビットの故障ではないために、ステップST205に移る。もし、複数ビットの不良が検出された場合には、複数個の不良ビットは必ず異なるビットライン上に存在するため、単一のカラムラインによる救済の場合には救済不能になるため、ステップST209に移り不良品と決定して処理が終了する。

【 0 0 5 0 】

この2回目に検出される故障は、最初の故障ではないのでステップST208に移る。第2のデータ記憶部106で保持されている値は、最初の故障を検出した後の状態を示す値になっているため、第1のデータ記憶部105には、2回目に検出される故障のカラムアドレスおよびFailPerBitの値は取り込まれずに、最初に検出された故障のカラムアドレスおよびFailPerBitの値が保持されたままである。

【 0 0 5 1 】

ステップST208では、2回目に故障が検出された時刻において、MONITOR信号がアクティブになり、かつFAIL信号は最初に故障が検出された時からにアクティブになった状態であるので、救済可否判定部107において、第1のデータ記憶部105に保持された最初の故障の不良アドレスと、2回目に検出された故障の不良アドレスが一致しているかどうかを判断する。この場合最初に検出された故障

と2回目に検出された故障は、両方とも同一アドレス(両方ともB00ライン上)であるため、不良アドレスが一致されたと判断され、ステップST207に移る。

【0052】

ステップST207では、まだ検査が終了していないので、ステップST202に移る。

【0053】

次(3回目)に検出される故障のアドレスは、ロウアドレス(R1,R0)=01, カラムアドレス(C1,C0)=01 であるが、このアドレスに対する故障もまた、1ビット目のみであり複数ビットの故障ではないために、ステップST205に移る。

【0054】

この3回目に検出される故障も、最初の故障ではないのでステップST208に移る。第2のデータ記憶部106で保持されている値は、最初の故障を検出した後の状態を示す値になっているため、第1のデータ記憶部105には、3回目に検出される故障のカラムアドレスおよびFailPerBitの値は取り込まれずに、最初に検出された故障のカラムアドレスおよびFailPerBitの値が保持されたままである。

【0055】

ステップST208では、3回目に故障が検出された時刻において、MONITOR信号がアクティブになり、かつFAIL信号は最初に故障が検出された時からにアクティブになった状態であるので、救済可否判定部107において、第1のデータ記憶部105に保持された最初の故障の不良アドレスと、3回目に検出された故障の不良アドレスが一致しているかどうかを判断する。この場合最初に検出された故障はB00ライン上であり、3回目に検出された故障はB11ライン上にあるので、最初に検出された故障と3回目に検出された故障は、同一アドレスではなく、救済可否判定部107で救済不能と判定され、ステップST209に移り救済不能なために不良品と決定して処理が終了する。

【0056】

以上のように第1の実施形態によれば、BISTを用いたメモリ104の冗長救済回路において、BISTからメモリ104へ入力される信号を分岐させた信号を取り込むデータ記憶部を準備して、メモリ104の検査時には、データ記憶部を不良アドレスを格納するために用いられている記憶素子(フリップフロップ)として

用い、BIST回路自身およびメモリ周辺部論理の検査時にはデータ記憶部のフリップフロップをスキランチェーンの一部として使用することで、論理部のスキランテストおよびメモリの検査に必要となる回路面積の増加を抑えることが可能となる。

【0057】

なお、本実施の形態では、第1のデータ記憶部105をメモリ104への入力信号を観測するために用いた例を説明したが、更に図5のように第1のデータ記憶部105の出力とメモリ104の出力信号DOUTとをセクタ501によって選択的に取り込み、スキランテスト時にメモリ104の出力信号DOUTの値を第1のデータ記憶部105の出力を用いて制御するためにも用いることでも、メモリの出力を制御できるため、更にメモリ周辺の故障検出を向上させることが可能となり、本実施の形態と同様の効果を得ることができる。

【0058】

また、メモリの救済用のラインがカラム方向に1本の場合には、最初に検出した不良セルの不良アドレスであるカラムアドレスと各ビット毎の良/不良判定信号を第1のデータ記憶部105に取り込み、メモリ104に不良があったかどうかのデータを保持する第2のデータ記憶部106に保持された値によって、第1のデータ記憶部105に取り込まれた最初に検出した不良セルの不良アドレスの値をホールドさせ、2回目以降に検出された不良セルの不良アドレスと第1のデータ記憶部105に取り込まれた不良アドレスをと比較することで、メモリの救済可否判定を行うことができる。

【0059】

なお、本実施の形態では第1のデータ記憶部105の値をホールドさせるために第2のデータ記憶部106の値を用いたが、図4に示すように第2のデータ記憶部106の代わりにFAIL信号の値を用いた場合でも、本実施の形態と同様の効果が得られる。

【0060】

また、本実施の形態ではカラム方向の救済を行う最小単位を1本のビットラインとして説明したが、カラム方向の救済を行う最小単位が複数本のビットライン

の場合でも、救済を行う最小単位である複数本のビットラインをまとめて不良アドレスとして扱うことで本実施の形態と同様の効果が得られる。

(第2の実施形態)

図6は本発明の第2の実施形態による半導体集積回路を説明するためのブロック図である。

【0061】

メモリ604はテスト対象のメモリであり、Row（ロウ）方向に一組の救済用の冗長ラインを持ち、実施の形態ではその内部に救済処理によって置換される単一の救済用Rowラインを含む。

【0062】

601はテストパターン発生部であり、ロウアドレス信号ROW-ADD、カラムアドレス信号COL-ADD、コントロール信号CTRL、データ入力信号DINを発生し、メモリ604に入力する。

【0063】

602は比較部であり、メモリ604に入力されたテストパターンに対するメモリ604の出力応答DOUTと正常時に期待される値（期待値）とを比較し、信号を正常に記憶していない不良セルを検出する。比較部602からは、一度不良セルを検出するとアクティブになり、テストが終了するまでアクティブの状態を維持するFAIL信号と、故障を検出した時だけアクティブになる故障を検出していない時にはアクティブにならないMONITOR信号と、メモリ604の出力データDOUTの各ビット毎に期待値と比較を行い、故障が存在したビットだけがアクティブになるFailPerBit信号が生成される。

【0064】

606は第2のデータ記憶部であり、比較部602のFAIL信号を入力してテストを実施している間のメモリ604内の故障の有無の状態値（テスト開始から最初の故障を検出するまでの状態を示す値と、最初の故障を検出した後の状態を示す値）を保持する。

【0065】

メモリ604はロウ方向で救済を実施するため、不良があったロウラインを特

定するために、不良があったセルのロウアドレスの情報が必要となる。605は第1のデータ記憶部であり、メモリ604の検査時には、テストパターン発生部601からメモリ604へ入力されるロウアドレス信号の全て或いは一部のビットを分岐した信号を不良アドレスデータとして取り込む。すなわち、メモリ604の救済処理を行う場合には、不良のあったセルのロウアドレスを記憶し、最初に故障を検出した不良セルのセルのロウアドレスを記憶しその後は第1のデータ記憶部605内でその値を保持する。第1のデータ記憶部605に格納されたデータをホールドさせるために、第2のデータ記憶部606に保持された値を用いる。第2のデータ記憶部606で最初の故障を検出した後の状態を示す値の場合には、第1のデータ記憶部605に記憶された値を保持し続ける。また、第1のデータ記憶部605は、メモリ604の周辺論理のスキャンテストを行う場合には、スキャンチェーンの一部を構成し、メモリ604まで伝播されてくる故障を観測するために用いることで、メモリ604周辺論理の故障検出を向上することができる。

【0066】

607は救済可否判定部であり、FAIL信号とMONITOR信号がともにアクティブな場合に、第1のデータ記憶部605に入力される信号と、第1のデータ記憶部605で保持している値とを比較し、それらが同一の場合にはメモリ604は救済用Rowラインによって救済可能と判断し、異なる場合には救済不能と判断する。

【0067】

図7は、図6に示された半導体集積回路におけるメモリ救済処理動作を示すフローチャートである。

【0068】

以下、メモリ救済処理の実現について図6、図7および図8を参照しつつ説明する。

【0069】

図8において、R1,R0は、メモリ604の2ビットのロウアドレスであり、(R1,R0)でロウアドレスを示す。R1がmsbであり、R0がlsbである。

C1, C0は、メモリ 604 の2ビットのカラムアドレスであり、
(C1, C0)でカラムアドレスを示す。C1がmsbであり、C0がlsbである。

【0070】

W0はロウアドレス (R1, R0)=(0, 0) に対するワードラインであり、
W1はロウアドレス (R1, R0)=(0, 1) に対するワードラインであり、
W2はロウアドレス (R1, R0)=(1, 0) に対するワードラインであり、
W3はロウアドレス (R1, R0)=(1, 1) に対するワードラインであり、
B00はカラムアドレス (C1, C0)=(0, 0) の0ビット目に対するビットラインであり、
B01はカラムアドレス (C1, C0)=(0, 1) の0ビット目に対するビットラインであり、
B02はカラムアドレス (C1, C0)=(1, 0) の0ビット目に対するビットラインであり、
B03はカラムアドレス (C1, C0)=(1, 1) の0ビット目に対するビットラインであり、
B10はカラムアドレス (C1, C0)=(0, 0) の1ビット目に対するビットラインであり、
B11はカラムアドレス (C1, C0)=(0, 1) の1ビット目に対するビットラインであり、
B12はカラムアドレス (C1, C0)=(1, 0) の1ビット目に対するビットラインであり、
B13はカラムアドレス (C1, C0)=(1, 1) の1ビット目に対するビットラインであり、
ビットラインとワードラインの交点にメモリセルが配置されている。

【0071】

同図中の“×”は、不良のあったメモリセルを表し、
ロウアドレス (R1, R0)=00, カラムアドレス (C1, C0)=00 で示されるアドレスの0
ビット目、
ロウアドレス (R1, R0)=00, カラムアドレス (C1, C0)=10 で示されるアドレスの1
ビット目、
ロウアドレス (R1, R0)=01, カラムアドレス (C1, C0)=00 で示されるアドレスの0
ビット目、
の3個の不良セルが存在し、W0上の2個のメモリが不良であり、B00上の2個のメモリが不良であることを示している。

【0072】

ステップST701でテストを開始する。テスト時のアドレスのカウント方向は、
カラムアドレスから先にカウントする場合について説明する。

【0073】

最初に検出される故障は、ロウアドレス(R1,R0)=00, カラムアドレス(C1,C0)=00 で示されるアドレスの0ビット目であり、

2回目に検出される故障は、ロウアドレス(R1,R0)=00, カラムアドレス(C1,C0)=10 で示されるアドレスの1ビット目であり、

3回目(最後)に検出される故障は、ロウアドレス(R1,R0)=01, カラムアドレス(C1,C0)=00 で示されるアドレスの0ビット目である。

【0074】

ステップST702でテストパターン発生部601からメモリ604へテストパターンを入力し、メモリ604からの出力を比較部602で期待値と比較する。

【0075】

ステップST703で、ロウアドレス(R1,R0)=00、カラムアドレス(C1,C0)=00で故障を検出する。故障を検出したのでステップST705に移る。該当故障は最初の故障であるため、ステップST706に移る。

【0076】

ここで初めて第2のデータ記憶部606に故障があったということを示す値が保持されるとともに、第1のデータ記憶部605には、ロウアドレスとして、(R1,R0)=00の値が不良アドレスとして保持される。次にステップST707に移るがまだ検査が終了していないので、ステップST702に戻る。

【0077】

次にステップST703で検出される故障のアドレスは、ロウアドレス(R1,R0)=00, カラムアドレス(C1,C0)=10 であり、ステップST705に移る。この2回目に検出される故障は、最初の故障ではないのでステップST708に移る。第2のデータ記憶部606で保持されている値は、最初の故障を検出した後の状態を示す値になっているため、第1のデータ記憶部605には、2回目に検出される故障のロウアドレス値が取り込まれずに、最初に検出された故障のロウアドレスの値が保持されたままである。

【0078】

ステップST708では、2回目に故障が検出された時刻において、MONITOR信号が

アクティブになり、かつFAIL信号は最初に故障が検出された時からアクティブになった状態であるので、救済可否判定部607において、第1のデータ記憶部705で保持されている最初の故障の不良アドレスと、2回目に検出された故障の不良アドレスが一致しているかどうかを判断する。この場合最初に検出された故障と2回目に検出された故障は、両方とも同一ロウアドレス(両方ともW0ライン上)であるため、不良アドレスが一致されたと判断され、ステップST707に移る。ステップST707では、まだ検査が終了していないので、ステップST702に移る。

【0079】

次(3回目)に検出される故障のアドレスは、ロウアドレス(R1,R0)=01, カラムアドレス(C1,C0)=00 であり、ステップST705に移る。この3回目に検出される故障も、最初の故障ではないのでステップST708に移る。第2のデータ記憶部606で保持されている値は、最初の故障を検出した後の状態を示す値になっているため、第1のデータ記憶部605には、3回目に検出される故障のロウアドレスの値は取り込まれずに、最初に検出された故障のロウアドレスの値が保持されたままである。

【0080】

ステップST708では、3回目に故障が検出された時刻において、MONITOR信号がアクティブになり、かつFAIL信号は最初に故障が検出された時からアクティブになった状態であるので、救済可否判定部607において、第1のデータ記憶部605に保持された最初の故障の不良アドレスと、3回目に検出された故障の不良アドレスが一致しているかどうかを判断する。この場合最初に検出された故障はW0ライン上であり、3回目に検出された故障はW1ライン上にあるので、最初に検出された故障と3回目に検出された故障は、同一アドレスではなく、救済可否判定部107で救済不能と判定され、ST709に移り救済不能なために不良品と決定して処理が終了する。

【0081】

以上のように第2の実施形態によれば、BISTを用いたメモリ604の冗長救済回路において、BISTからメモリ604へ入力される信号を分岐させた信号を取り込むデータ記憶部を準備して、メモリ604の検査時には、データ記憶部を不良

アドレスを格納するために用いられている記憶素子（フリップフロップ）として用い、BIST回路自身およびメモリ周辺部論理の検査時にはデータ記憶部のフリップフロップをスキャンチェーンの一部として使用することで、論理部のスキャンテストおよびメモリ 604 の検査に必要な回路面積の増加を抑えることが可能となる。

【0082】

また、メモリ 604 の救済用のラインがロウ方向に1本の場合には、最初に検出した不良セルの不良アドレスであるロウアドレスのみを第1のデータ記憶部 605 に取り込み、メモリ 604 に不良があったかどうかのデータを保持する第2のデータ記憶部 606 に保持された値によって、第1のデータ記憶部 605 に取り込まれた最初に検出した不良セルの不良アドレスの値をホールドさせ、2回目以降に検出された不良セルの不良アドレスと第1のデータ記憶部 605 に取り込まれた不良アドレスをと比較することで、メモリ 604 の救済可否判定を行うことができる。

【0083】

なお、本実施の形態では第1のデータ記憶部 605 の値をホールドさせるために第2のデータ記憶部 606 の値を用いたが、図9に示すように第2のデータ記憶部の代わりにFAIL信号の値を用いた場合でも、本実施の形態と同様の効果が得られる。

【0084】

また、本実施の形態ではロウ方向の救済を行う最小単位を1本のワードラインとして説明したが、ロウ方向の救済を行う最小単位が複数本のワードラインの場合でも、救済を行う最小単位である複数本のワードラインをまとめて不良アドレスとして扱うことで本実施の形態と同様の効果が得られる。

（第3の実施形態）

図10は本発明の第3の実施形態による半導体集積回路を説明するためのブロック図である。

【0085】

メモリ 1004 はテスト対象のメモリであり、Column方向およびRow方向で救

済を行う冗長ラインを持ち、実施の形態ではその内部に救済処理によって置換される救済用Columnライン1本及び救済用Rowライン1本を含む。

【0086】

1001はテストパターン発生部であり、ロウアドレス信号ROW-ADD、カラムアドレス信号COL-ADD、コントロール信号CTRL、データ入力信号DINを発生し、メモリ1004に入力する。

【0087】

1002は比較部であり、メモリ1004に入力されたテストパターンに対するメモリ1004の出力応答DOUTと正常時に期待される値（期待値）とを比較し、信号を正常に記憶していない不良セルを検出する。比較部1002からは、一度不良セルを検出するとアクティブになり、テストが終了するまでアクティブの状態を維持するFAIL信号と、故障を検出した時だけアクティブになる故障を検出していない時にはアクティブにならないMONITOR信号と、メモリ1004の出力データDOUTの各ビット毎に期待値と比較を行い、故障が存在したビットだけがアクティブになるFailPerBit信号が生成される。

【0088】

メモリ1004はカラム方向およびロウ方向で救済を実施するため、不良があったカラムラインおよびロウラインを特定するために、不良があったセルのカラムアドレスおよびそのビット位置、そしてロウアドレスの情報が必要となる。1005は第1のデータ記憶部であり、メモリ1004の検査時には、テストパターン発生部1001からメモリ1004へ入力されるアドレス信号を分岐した信号および比較部1002からの出力信号を不良アドレスデータとして取り込む。すなわち、メモリ1004の救済処理を行う場合には、不良のあったセルのカラムアドレスおよびそのビット位置情報、そしてロウアドレスを記憶する。

【0089】

1006は第2のデータ記憶部であり、第1のデータ記憶部1005で記憶された値が、メモリ1004の不良セルのアドレスであるかどうかを示す値を保持する。第2のデータ記憶部1006に保持された値によって、第1のデータ記憶部1005内の値が保持される。

【0090】

また、第1のデータ記憶部1005は、メモリ1004の周辺論理のスキャンテストを行う場合には、スキャンチェーンの一部を構成し、メモリ1004まで伝播されてくる故障を観測するために用いることで、メモリ1004の周辺論理の故障検出を向上することができる。

【0091】

1003は、テストパターン発生部1001で生成されるデータ入力信号DINと比較部1002で生成されるFailPerBit信号を選択するセクタであり、メモリ1004の救済処理時にはFailPerBit信号を選択することで、第1のデータ記憶部1005に不良のあったセルのビット位置情報を入力し、メモリ周辺論理のスキャンテスト時には、メモリ1004へのデータ入力信号DINあるいはFailPerBit信号のいずれかを選択し、メモリ1004まで伝播される故障を第1のデータ記憶部1005で観測する。

【0092】

1007は救済可否判定部であり、FAIL信号とMONITOR信号がともにアクティブな場合に、第1のデータ記憶部1005に入力される信号と、第1のデータ記憶部1005で保持している値とを比較し、メモリ1004の保持する救済用ラインで救済可能かどうかを判断する。

【0093】

図11は、図10に示された半導体集積回路におけるメモリ救済処理動作を示すフローチャートである。

【0094】

以下、メモリ1004の不良セルの分布の例として図3を用いて、メモリ救済処理の実現について図10、図11および図3を参照しつつ説明する。図3についての説明は繰り返さない。

【0095】

ステップST1101でテストを開始する。テスト時のアドレスのカウント方向は、カラムアドレスから先にカウントする場合、また、RowラインとColumnラインでの救済判定としては、Columnラインの救済を優先して行うものとして説明する。

【0096】

最初に検出される故障は、ロウアドレス(R1,R0)=00, カラムアドレス(C1,C0)=00 で示されるアドレスの0ビット目であり、

2回目に検出される故障は、ロウアドレス(R1,R0)=01, カラムアドレス(C1,C0)=00 で示されるアドレスの0ビット目であり、

3回目(最後)に検出される故障は、ロウアドレス(R1,R0)=01, カラムアドレス(C1,C0)=01 で示されるアドレスの1ビット目である。

【0097】

ステップST1102でテストパターン発生部1001からメモリ1004へテストパターンを入力し、メモリ1004からの出力を比較部1002で期待値と比較する。

【0098】

ステップST1103で、ロウアドレス(R1,R0)=00、カラムアドレス(C1,C0)=00の0ビット目で故障を検出する。故障を検出したのでステップST1105に移る。ステップST1105では、検出された故障のアドレスがこれまでに第1のデータ記憶部1005で保持された値であるかどうかを判断する。該当故障は最初の故障であるため、ステップST1108に移る。

【0099】

Columnラインの救済を優先するため、第1のデータ記憶部1005には、カラムアドレスとして、(C1,C0)=00の値と、FailPerBitとして0ビット目だけが故障が存在したことを表す値が不良アドレスとして保持され、第2のデータ記憶部1006には、第1のデータ記憶部1005に保持された値が、メモリ1004の故障であるということを示す値が保持される。次にステップST1107に移るがまだ検査が終了していないので、ステップST1102に戻る。

【0100】

次にステップST1103で2回目の故障としてロウアドレス(R1,R0)=01, カラムアドレス(C1,C0)=00 の0ビット目での故障が検出されステップST1105に移る。Columnラインの救済を優先するため、2回目の故障は1回目の故障と同一のカラムアドレスおよび同一のビットであるかどうかを判断する。この場合、1回目の故障と2

回目の故障は同一のカラムアドレス(C1,C0)=00であり、かつ同一のビット0ビット目であるため、第1のデータ記憶部1005には、2回目に検出される故障のカラムアドレスおよびFailPerBitの値は取り込まれずに、最初に検出された不良アドレスのままである。

【0101】

次にステップST1107に移る。まだ検査終了していないので、ステップST1102に戻る。

【0102】

次(3回目)に検出される故障のアドレスは、ロウアドレス(R1,R0)=01, カラムアドレス(C1,C0)=01の1ビット目である。カラムアドレスおよびビット位置が、第1のデータ記憶部1005に保持されている値と異なるため、新しい故障と判断される。Column方向の救済ラインは既に使われているために、Row方向の救済ラインを用い、第1のデータ記憶部1005には、ロウアドレスとして、(R1,R0)=01の値が不良アドレスとして保持され、第2のデータ記憶部1006には、第1のデータ記憶部1005に保持された値が、メモリ1004の故障であるということを示す値が保持される。

【0103】

Row方向の救済ラインを1本と、Column方向の救済ラインを1本で救済できている状態であるため、ステップST1108では、救済可能と判断してステップST1107に移るがまだ検査が終了していないので、ステップST1102に戻る。

【0104】

その後には、故障が存在しないため、全てのアドレスをテストしたところでステップST1107で検査終了と判断される。この場合には、Row方向の救済ライン1本と、Column方向の救済ライン1本でメモリの救済が可能のため、救済可能としてステップST1110で処理が終了する。

【0105】

以上のように第3の実施形態によれば、BISTを用いたメモリの冗長救済回路において、BISTからメモリへ入力される信号を分岐させた信号を取り込むデータ記憶部を準備して、メモリの検査時には、データ記憶部を不良アドレスを格納する

ために用いられている記憶素子（フリップフロップ）として用い、BIST回路自身およびメモリ周辺部論理の検査時にはデータ記憶部のフリップフロップをスキャンチェーンの一部として使用することで、論理部のスキャンテストおよびメモリの検査に必要な回路面積の増加を抑えることが可能となる。

【0106】

また、本実施の形態ではRow方向の救済ライン1本とColumn方向の救済ラインが1本について説明したが、救済ラインが複数本あった場合であっても、第1のデータ記憶部に格納された値と、その値が不良セルであるかどうかを判断するための値を第2のデータ記憶部で保持することで、第1のデータ記憶部に格納された値が不良セルのアドレスであるかどうかを判断でき、本実施の形態と同様の効果が得られる。

【0107】

【発明の効果】

請求項1記載の半導体集積回路によれば、BISTを用いたメモリの冗長救済回路において、BISTからメモリへ入力される信号を分岐させた信号を取り込むデータ記憶部を準備して、メモリの検査時には、データ記憶部を不良アドレスを格納するための記憶素子（フリップフロップ）として用い、BIST回路自身およびメモリ周辺部論理の検査時にはデータ記憶部のフリップフロップをスキャンチェーンの一部として使用することで、論理部のスキャンテストおよびメモリの検査に必要な回路面積の増加を抑えることが可能となる。

【0108】

請求項2、請求項5、請求項6または請求項7記載の半導体集積回路によれば、請求項1と同様な効果がある。

【0109】

請求項3または請求項4記載の半導体集積回路によれば、請求項1または請求項2と同様な効果がある。

【0110】

請求項8記載の半導体集積回路によれば、請求項1、請求項2、請求項3、請求項4、請求項5、請求項6または請求項7と同様な効果がある。

【0111】

請求項9記載の半導体集積回路の検査方法によれば、請求項1と同様な効果がある。

【図面の簡単な説明】**【図1】**

この発明の第1の実施形態による半導体集積回路を説明するためのブロック図である。

【図2】

第1の実施形態を説明するためのフローチャートである。

【図3】

第1の実施形態に係わるメモリ中の不良の分布を表す説明図である。

【図4】

第1の実施形態の変形形態による半導体集積回路を説明するためのブロック図である。

【図5】

第1の実施形態の変形形態による半導体集積回路を説明するためのブロック図である。

【図6】

第2の実施形態による半導体集積回路を説明するためのブロック図である。

【図7】

第2の実施形態を説明するためのフローチャートである。

【図8】

第2の実施形態に係わるメモリ中の不良の分布を表す説明図である。

【図9】

第2の実施形態の変形形態による半導体集積回路を説明するためのブロック図である。

【図10】

第3の実施の形態による半導体集積回路のブロックである。

【図11】

第3の実施形態を説明するためのフローチャートである。

【図12】

従来のBISTによる救済回路例である。

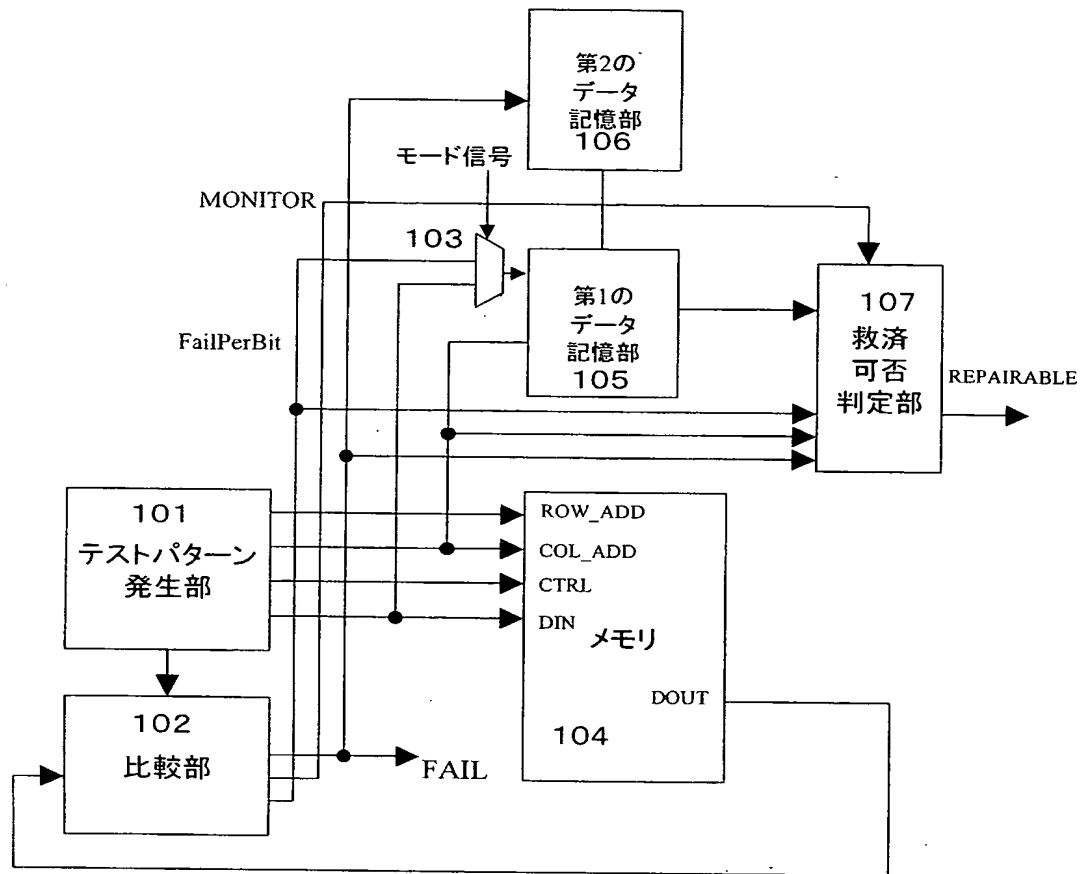
【符号の説明】

101	テストパターン発生部
102	比較部
103	セレクタ
104	メモリ
105	第1のデータ記憶部
106	第2のデータ記憶部
107	救済可否判定部
601	テストパターン発生部
602	比較部
604	メモリ
605	第1のデータ記憶部
606	第2のデータ記憶部
607	救済可否判定部
1001	テストパターン発生部
1002	比較部
1003	セレクタ
1004	メモリ
1005	第1のデータ記憶部
1006	第2のデータ記憶部
1007	救済可否判定部

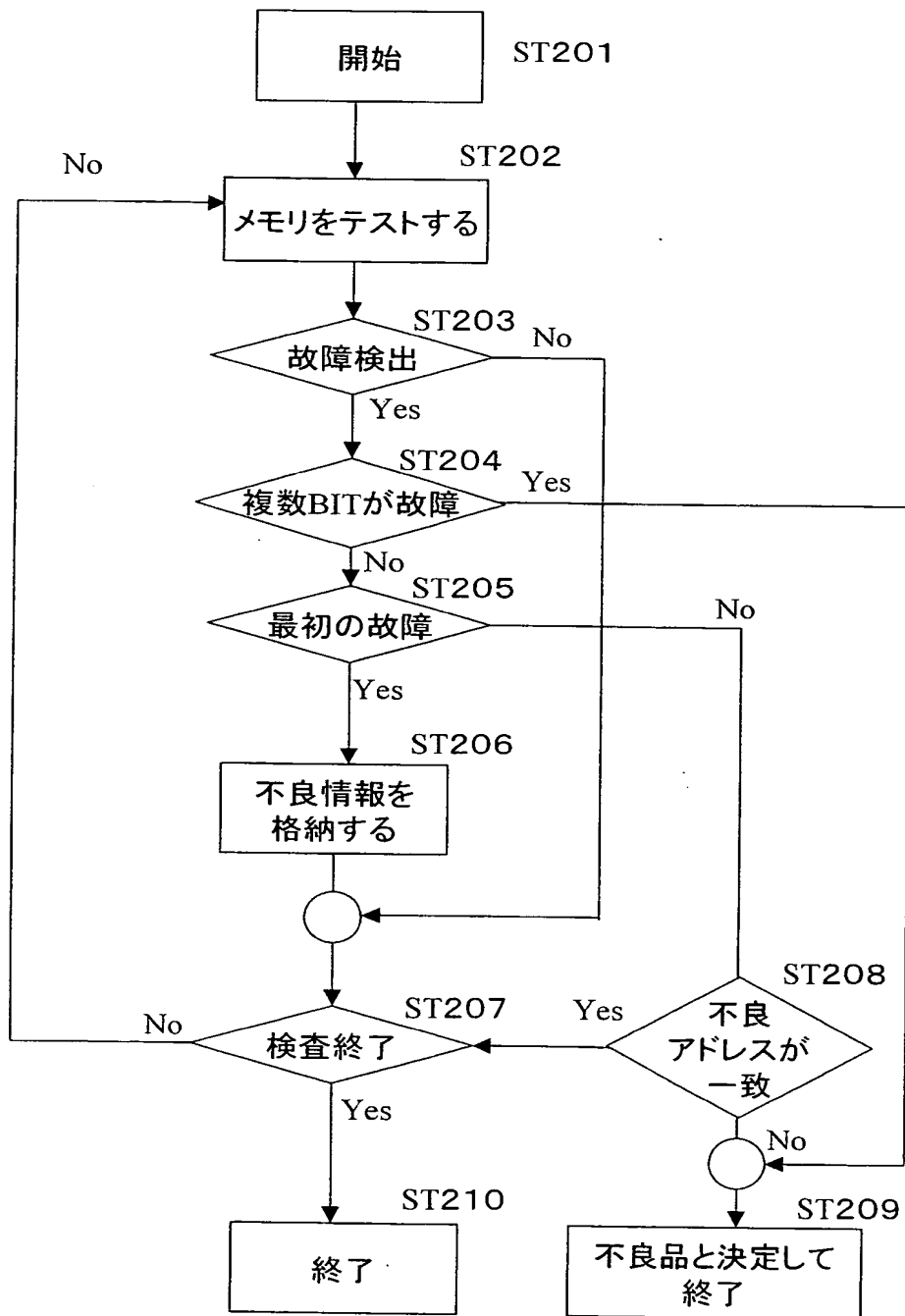
【書類名】

図面

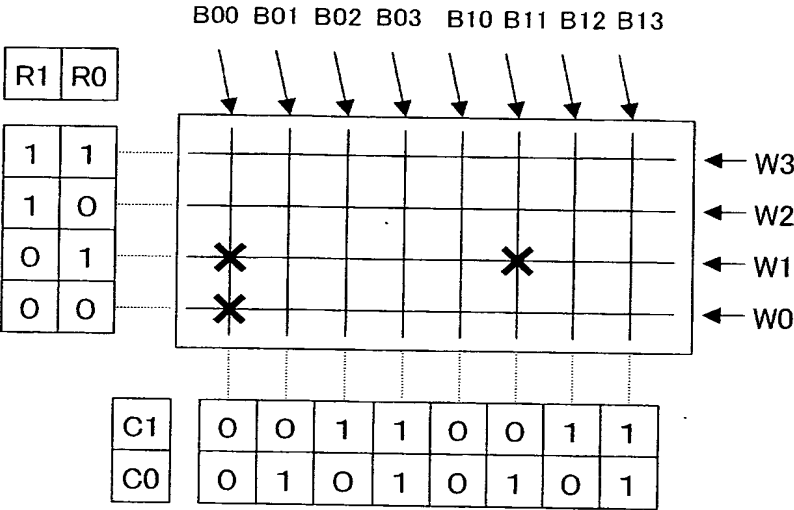
【図 1】



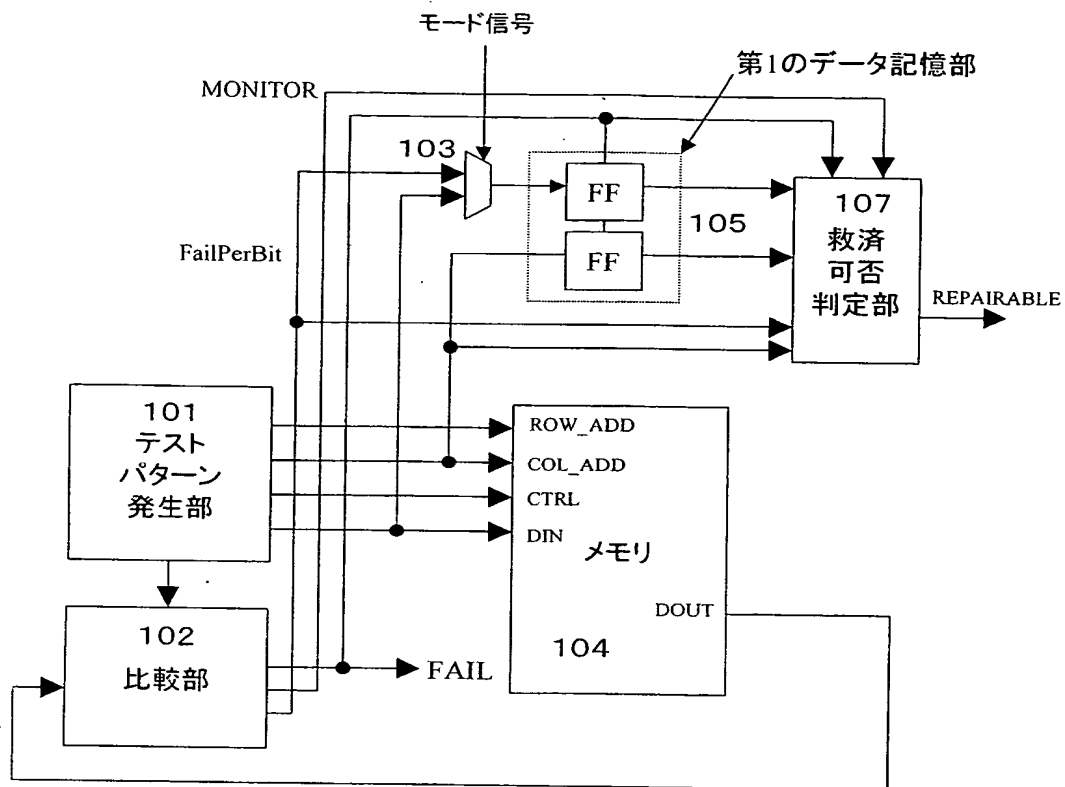
【図 2】



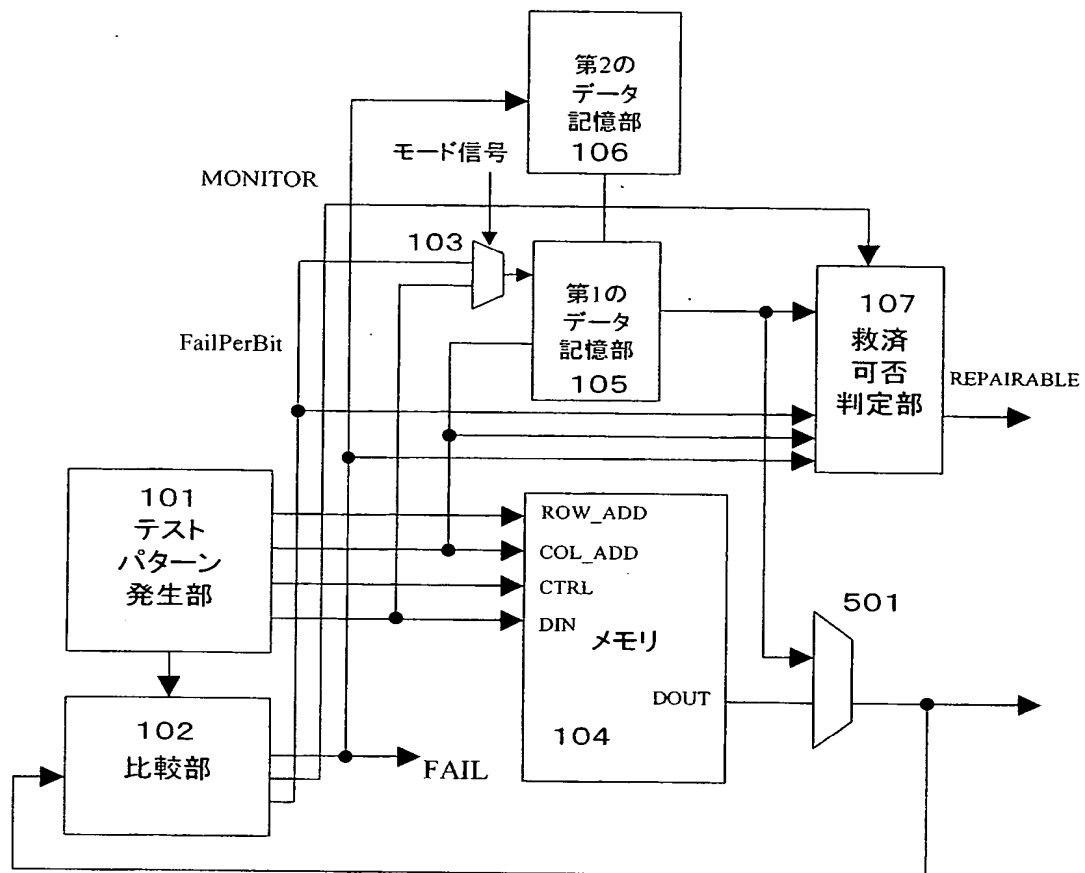
【図 3】



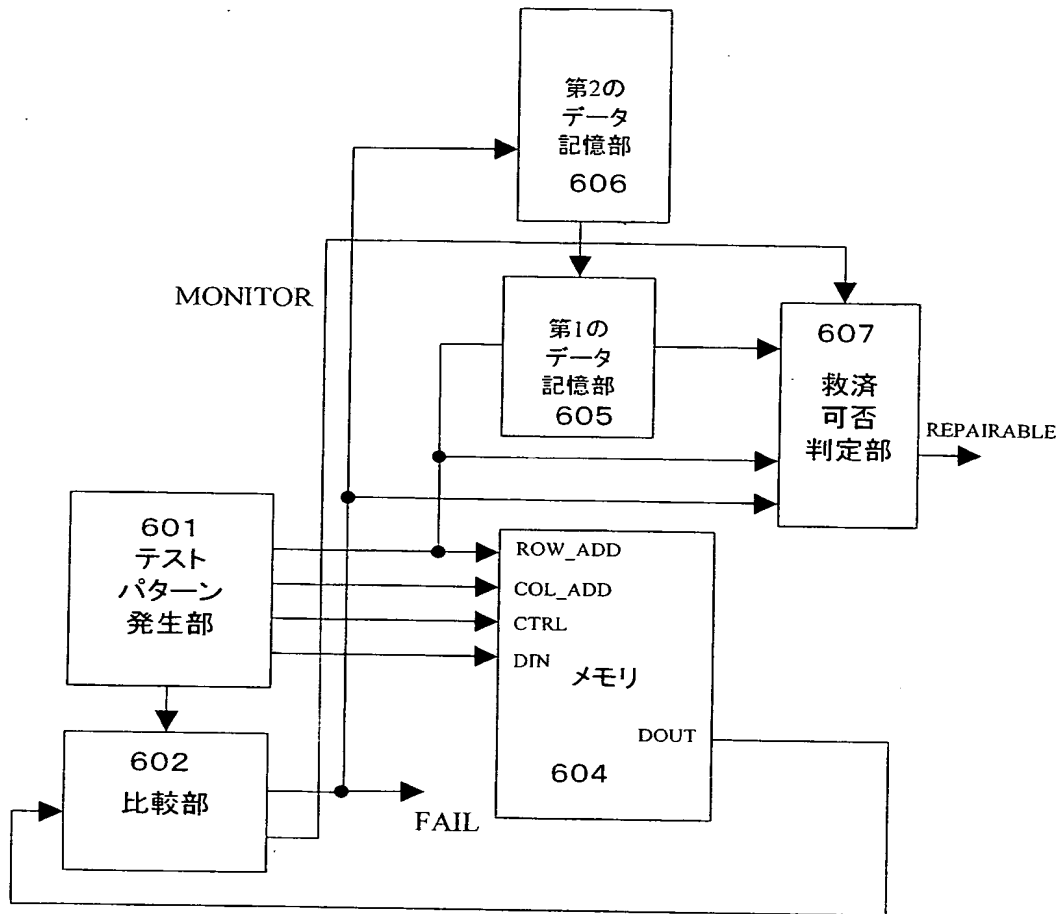
【図 4】



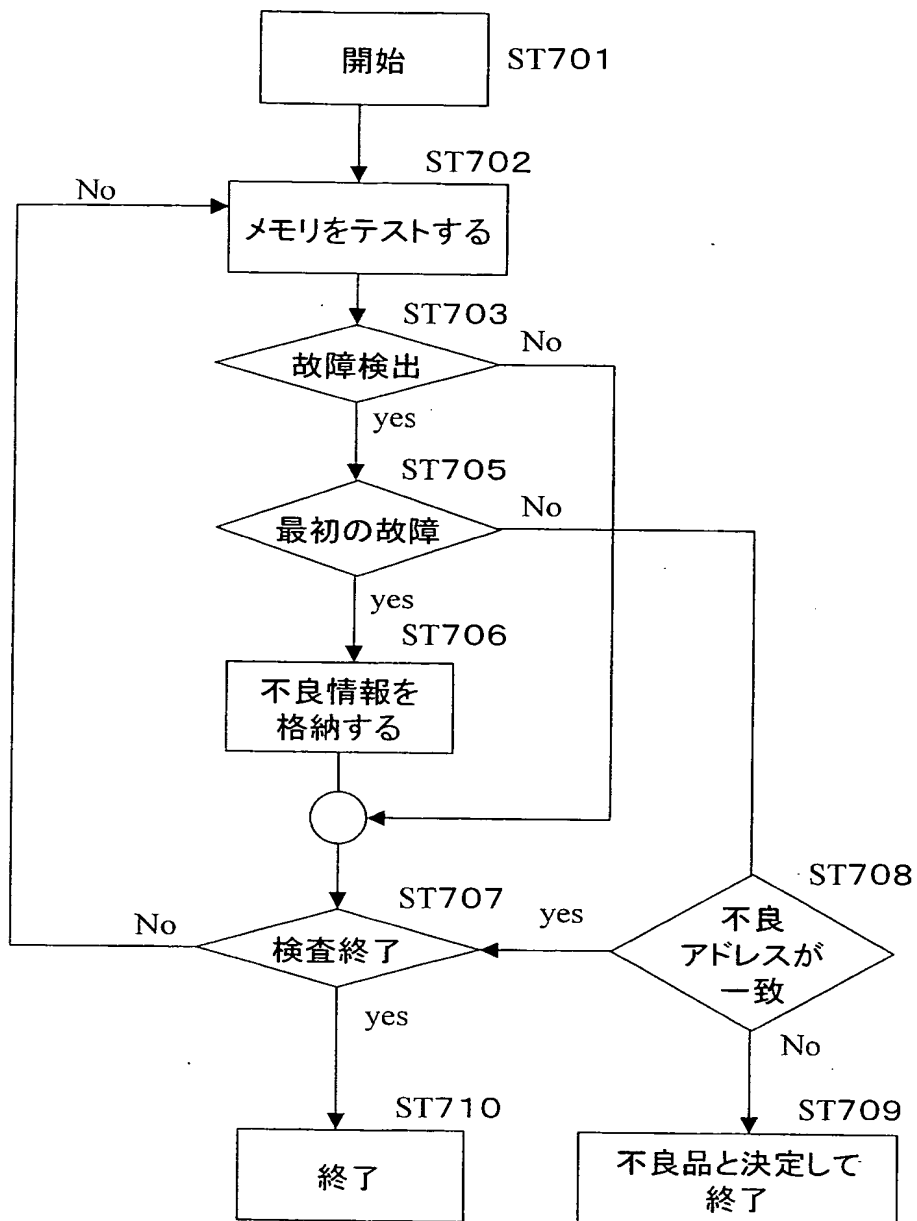
【図 5】



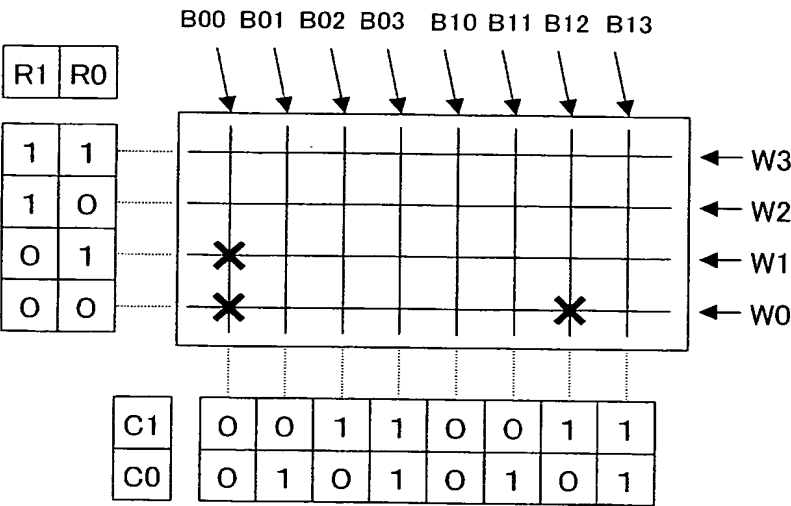
【図6】



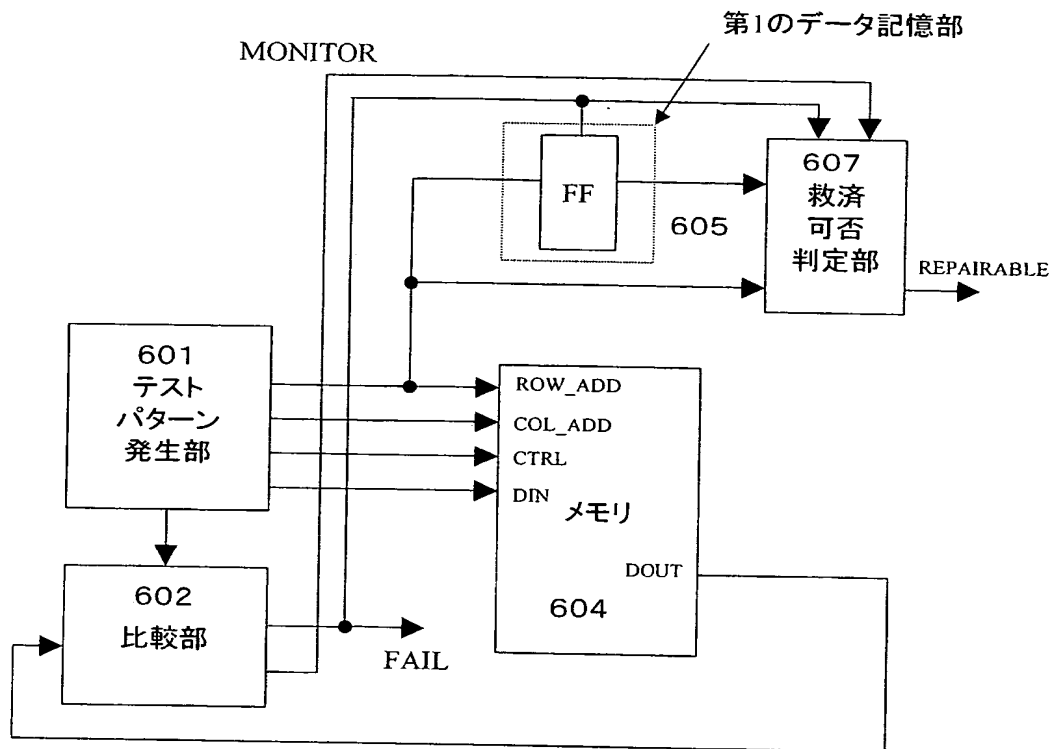
【図 7】



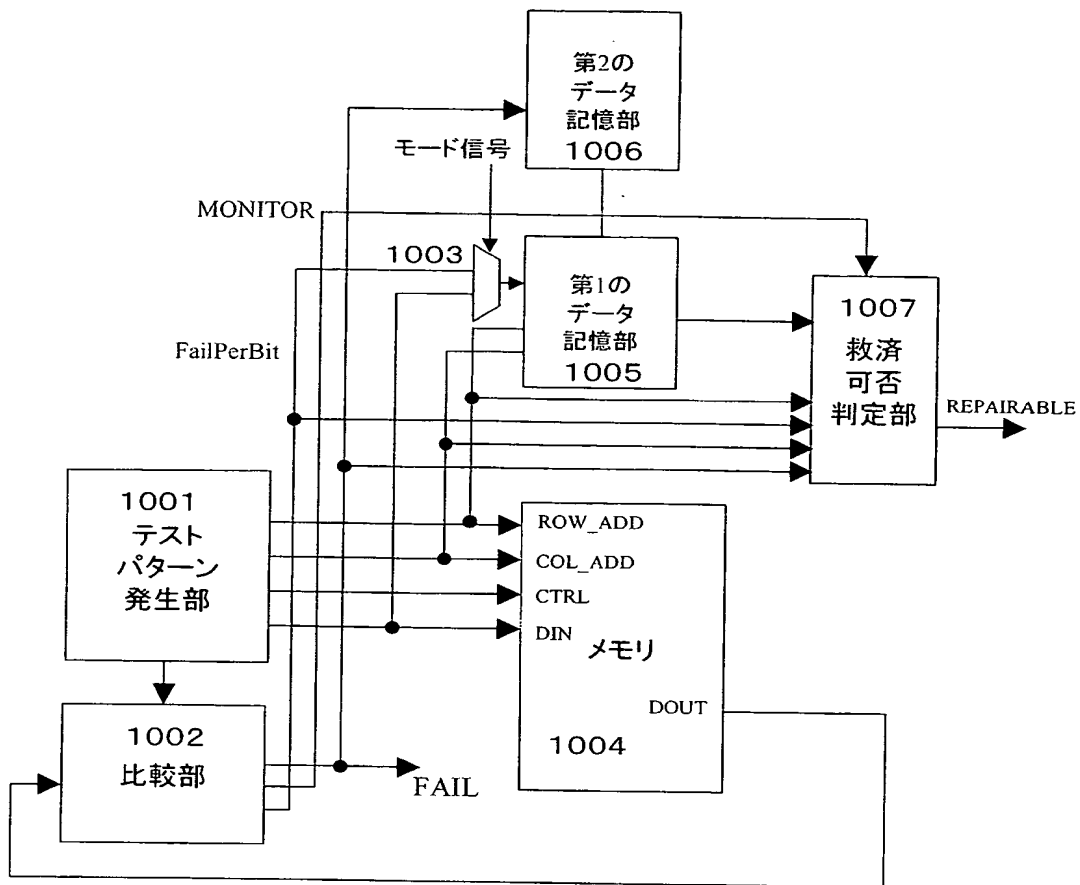
【図 8】



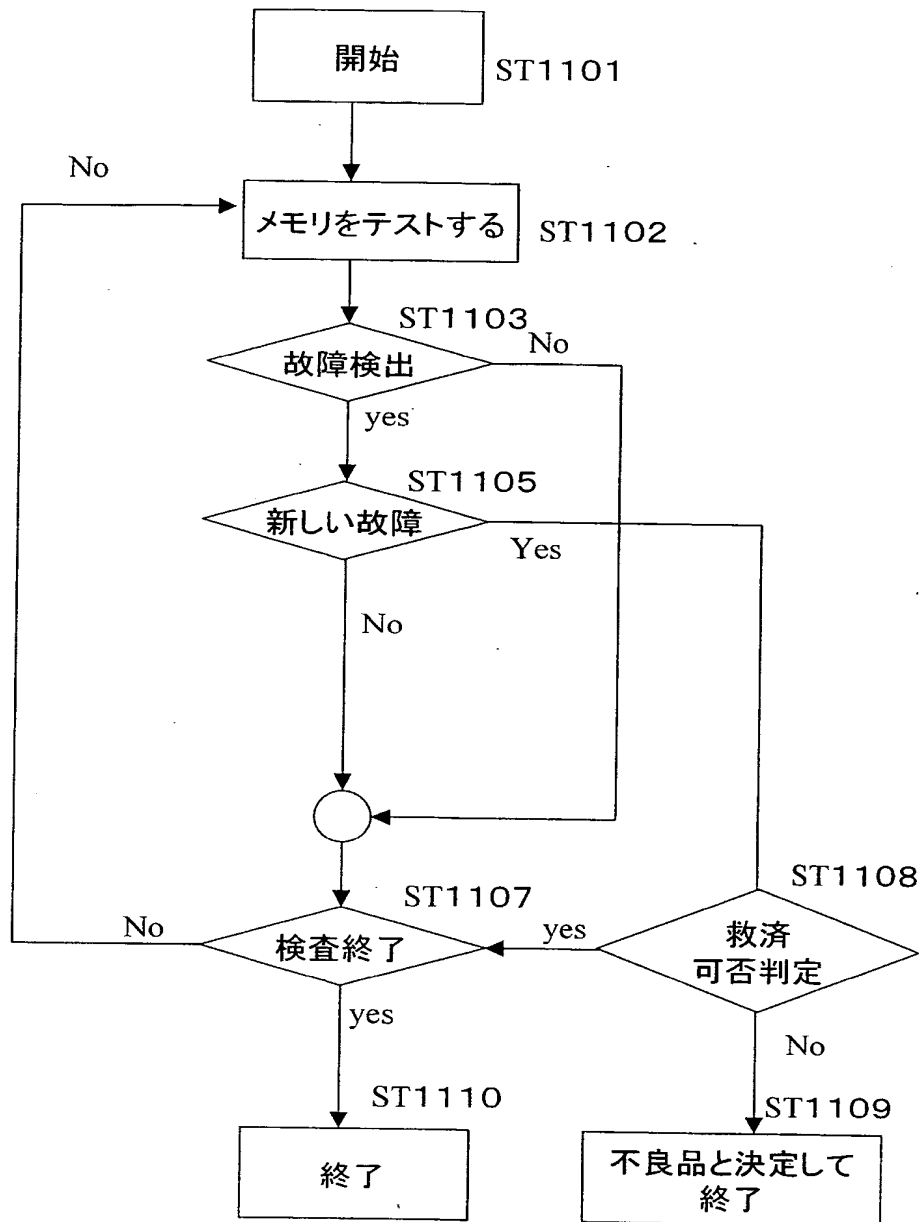
【図 9】



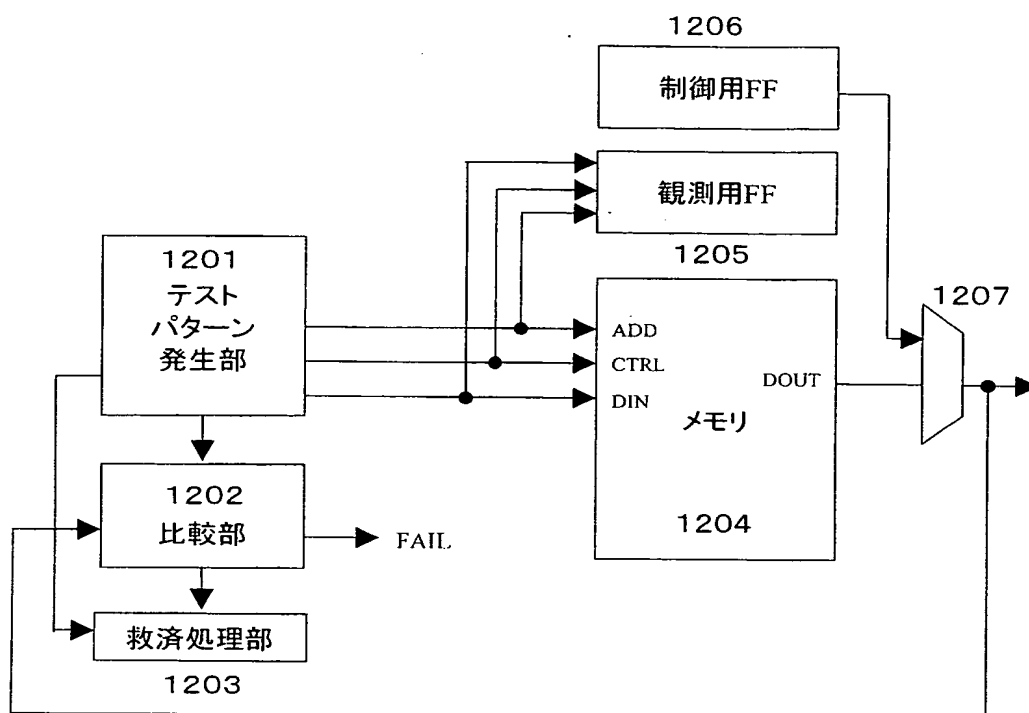
【図10】



【図 11】



【図 12】



【書類名】 要約書**【要約】**

【課題】 B I S Tを用いたメモリの冗長救済を実現にあたり、冗長救済回路面積およびスキャンテスト用回路の面積の増加を抑えることができる半導体集積回路および検査方法を提供することである。

【解決手段】 カラム方向に一組の救済用の冗長ラインを持つメモリ 1 0 4 と、テストパターン発生部 1 0 1 と、メモリ 1 0 4 に不良セルが存在するか否かを判定する比較部 1 0 2 と、メモリ 1 0 4 の検査時には、テストパターン発生部 1 0 1 からメモリ 1 0 4 へ入力される信号および比較部 1 0 2 からのビット毎の良否判定信号を取り込み、メモリ周辺の論理の検査時にはメモリ 1 0 4 への入力信号を観測するために用いられる第 1 のデータ記憶部 1 0 5 と、故障の有無の状態を示す第 2 のデータ記憶部 1 0 6 と、救済可否判定部 1 0 7 とを備え、第 2 のデータ記憶部 1 0 6 により第 1 のデータ記憶部 1 0 5 のデータをホールドする。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 1 0 5 9 9 0
受付番号	5 0 3 0 0 5 9 2 0 8 9
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 5 年 4 月 1 1 日

< 認定情報・付加情報 >

【提出日】 平成15年 4月10日

次頁無

特願 2 0 0 3 - 1 0 5 9 9 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社